

DIALOG(R)File 347:JAPIO(c) 1997 JPO & JAPIO. All rts. reserv.

0273637 0FIELD EFFECT SEMICONDUCTOR DEVICE

PUB. NO.: 01-033970 [JP 1033970 A]

PUBLISHED: February 03, 1989 (19890203)

INVENTOR(s): OKA HIDEKI

FUJITANI HIDEAKI

MATSUO JIRO

KATO ICHIRO

SATO SHIGEO

APPLICANT(s): FUJITSU LTD [000522] (A Japanese Company or Corporation),
JP(Japan)

APPL. NO.: 62-190650 [JP 87190650]

FILED: July 29, 1987 (19870729)

ABSTRACTPURPOSE: To enable drain breakdown strength to be enhanced without both high integration and scale down being prevented, by providing a semiconductor area which is adjacent to a drain area and has an energy bandgap which is wider than that of a channel section.

CONSTITUTION: A semiconductor area 30, which is adjacent to a drain area 15 and has an energy band gap which is wider than that of a channel section 16, is disposed between the channel section 16 and the drain area 15. For example, a n^{+} type source area 14 and a n^{+} type drain area 15 are respectively formed in the surface section of a silicon substrate 11, moreover an oxygen-containing area 30 which has a wide energy band gap is so formed as to contact with the drain area 15. The oxygen-containing area 30 is made of a silicon area which is implanted with an oxygen of 10^{18} atoms/cm² or so. Now, a photolithography technique is used and anion implantation is then performed, prior to the formation process of a gate insulating film 12, to form this area 30. And, the insulating film 12 is thereafter formed, and a gate electrode is then formed on the insulating film 12, whereby a FET is produced.

⑫ 公開特許公報(A)

昭64-33970

⑤ Int. Cl.⁴
H 01 L 29/78識別記号
3 0 1庁内整理番号
X-8422-5F

④ 公開 昭和64年(1989)2月3日

審査請求 未請求 発明の数 1 (全5頁)

⑬ 発明の名称 電界効果形半導体装置

⑭ 特 願 昭62-190650

⑮ 出 願 昭62(1987)7月29日

⑯ 発 明 者 岡 秀 樹 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内
⑯ 発 明 者 藤 谷 秀 章 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内
⑯ 発 明 者 松 尾 二 郎 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内
⑯ 発 明 者 加 藤 一 郎 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内
⑰ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地
⑱ 代 理 人 弁理士 井 桁 貞一
最終頁に続く

明 細 書

1. 発明の名称

電界効果形半導体装置

2. 特許請求の範囲

チャネル部とドレイン領域との間にドレイン領域に接して、前記チャネル部が有するエネルギーバンドギャップより大きなエネルギーバンドギャップを有する半導体領域が配設されてなることを特徴とする電界効果形半導体装置。

3. 発明の詳細な説明

〔概要〕

ドレイン領域に接して、チャネル部大きなエネルギーバンドギャップを有する半導体領域を設けた電界効果形半導体装置に構成する。このような構造にすればドレイン耐圧が向上する。

〔産業上の利用分野〕

本発明は電界効果形半導体装置(FET)の構

造に関する。

近年、半導体集積回路(IC)は益々微細化・高密度化されているが、これは高度に集積化するほど、高性能化される利点があるからである。

しかし、このようなICは高集積化、微細化が進行すると、それに比例して逆に特性が低下する問題が起こる場合がある。従つて、微細化しても素子特性が劣化しないような半導体装置の構造が望まれている。

〔従来の技術と発明が解決しようとする問題点〕

各種型式のFETが知られているが、そのうち、例えば、MOSFET(MOS型電界効果トランジスタ)は、そのチャネル幅が2 μ m前後と極めて微細化されていて、このようなMOSFETで構成するMOSICは最も高集積化された集積回路となつている。これは、MOSFETがバイポーラトランジスタなどと比べて構造が簡単で集積化しやすいからであり、RAMやROMなどのメモリ回路、あるいは、他の電子回路に広く使用され

ている。

さて、第4図～第6図は従来の著名な各種のシリコンからなるMOSトランジスタの断面構造図を示しており、第4図は従前からの基本構造のMOSFET、第5図はオフセット構造のMOSFET、第6図はLDD構造のMOSFETである。これらの図の記号は共通させており、1はシリコン基板、2はゲート絶縁膜、3はゲート電極、4は n^+ 型ソース領域、5は n^+ 型ドレイン領域、6はチャンネル部、7は n^- 型（低濃度）ソース層、8は n^- 型（低濃度）ドレイン層である。

第4図に示す通常のMOSFETは、シリコン基板1の上に酸化シリコン(SiO_2)膜からなるゲート絶縁膜2を介してゲート電極3を設け、その直下のチャンネル部6の両側にゲート絶縁膜に近接して異種導電型のソース領域4およびドレイン領域5を配置した構造である。このFETは、ゲート絶縁膜2およびゲート電極3を最初に形成し、それをマスクにしてソース・ドレイン領域5、6をイオン注入して形成するセルフアライン（自己

整合）的な製造方法によつて形成される。

しかし、微細化が進むと、ドレイン近傍における電界の集中によつてホットキャリアが発生し、アバランシェブレイクダウンを起こして、耐圧が劣化すると云う問題がある。

そこで、第5図に示すオフセット構造のMOSFETおよび第6図に示すLDD（Lightly Doped Drain）構造のMOSFETが開発されてきた。第5図に示すオフセット構造は、ソース・ドレインと同一導電型で低濃度のチャンネル部6の両側に、ソース領域4、ドレイン領域5をゲート絶縁膜2およびゲート電極3から離して形成した構造で、このように構成すれば、ドレイン領域5近傍における電界集中が緩和され、耐圧の劣化が防止される。

又、第6図に示すLDD構造は、低濃度（ n^- 型）のソース層7およびドレイン層8をゲート絶縁膜2に近接して設けた構造で、この低濃度ドレイン層8の存在によつてドレイン近傍の電界集中が緩和され、アバランシェブレイクダウンが抑制

されて、同様に耐圧の劣化が防止される。

しかしながら、これらの第5図および第6図に示す構造はいずれも主ドレイン領域がゲート絶縁膜、ゲート電極より離れた構造になつてゐるために、電界集中が緩和されるだけであつて、本質的なドレイン耐圧の向上にはなつてゐない。しかも、これらは高集積化には逆行して、幅が広がる構造である。

本発明はこのような問題点を解消させて、本質的に耐圧を向上させる構造のFETを提案するものである。

〔問題点を解決するための手段〕

その目的は、チャンネル部とドレイン領域との間にドレイン領域に接して、前記チャンネル部が有するエネルギーバンドギャップより大きなエネルギーバンドギャップを有する半導体領域が配設されたFETによつて達成される。

〔作用〕

即ち、本発明は、ドレイン領域に接して、エネルギーバンドギャップの大きな半導体材料からなる領域を設けた構造にする。そうすれば、耐圧が改善される。

〔実施例〕

以下、図面を参照して実施例によつて詳細に説明する。

第1図は本発明にかかるMOSFETの断面構造を示しており、11はシリコン基板、12はゲート絶縁膜、13はゲート電極、14は n^+ 型ソース領域、15は n^+ 型ドレイン領域、16はチャンネル部で、30がエネルギーバンドギャップの大きな酸素含有領域である。酸素含有領域30は $10^{18}/cm^3$ 程度の酸素を含ませたシリコン領域であり、この領域はゲート絶縁膜の形成工程前にリソグラフィ技術を適用してイオン注入によつて形成する。且つ、このような酸素含有領域30はエネルギーバンドギャップ(E_g)がとなり、その他のシリコン領域の E_g が1.1eVであるのに対して、酸素含有領域30の

E_g が大きくなる。

そうすれば、第2図に示す電子イオン化率 α の電場 E 依存性の図から判るように、 E_g の大きい方(E_{g1})が E_g の小さい方(E_{g2})より電子イオン化率 α が小さくなつて、ホットキャリアの生成量が少なくなり、アバランシェブレイクダウンを起こす電位が高くなる。即ち、酸素含有領域20をドレイン領域15に接して配置すれば、微細化を阻害することなく、ドレイン耐圧を高くすることができる。

次に、第3図は本発明にかかる他の例のMOSFETの断面構造を示し、21はシリコン基板、22はゲート絶縁膜、23はゲート電極、24は n^+ 型ソース領域、25は n^+ 型ドレイン領域、26はチャネル部で、31がエネルギーバンドギャップの大きなSiC(シリコンカーバイド)領域である。本例は縦形FETの構造であるから、シリコン基板上にチャネル部やソース領域をエピタキシャル成長して形成するが、その時、SiC領域を介在させてチャネル部やソース領域を成長する。成長方法は、

モノシラン(SiH_4)と炭酸(CO_2)ガスとを反応ガスとすれば容易に成長できる。このようなSiCのエネルギーバンドギャップ(E_g)はであり、シリコン領域の $E_g = 1.1\text{eV}$ に比べて大きくなる。従つて、前記第1図に示す実施例と同様に微細化を阻害することなく、ドレイン耐圧を向上させることができる。

以上はシリコンからなるMOSFETの実施例であるが、本発明はシリコンMOSFETに限るものではなく、化合物半導体からなるMESFETなどの他のFETに適用できることは勿論である。

[発明の効果]

上記の説明から判るように、本発明にかかるFETの構造は高集積化・微細化を阻むことなく、ドレイン耐圧を向上させることができ、ICの信頼性向上に大きく寄与するものである。

4. 図面の簡単な説明

第1図は本発明にかかるMOSFETの断面概要図、

第2図は電子イオン化率の電場依存性を示す図、

第3図は本発明にかかる他の例のMOSFETの断面概要図、

第4図は従前の基本構造のMOSFETの断面概要図、

第5図は従来のオフセット構造のMOSFETの断面概要図、

第6図は従来のLDD構造のMOSFETの断面概要図である。

図において、

E_g はエネルギーバンドギャップ、

1, 11, 21はシリコン基板、

2, 12, 22はゲート絶縁膜、

3, 13, 23はゲート電極、

4, 14, 24は n^+ 型ソース領域、

5, 15, 25は n^+ 型ドレイン領域、

6, 16, 26はチャネル部、

7は n^- 型ソース層、

8は n^- 型ドレイン層、

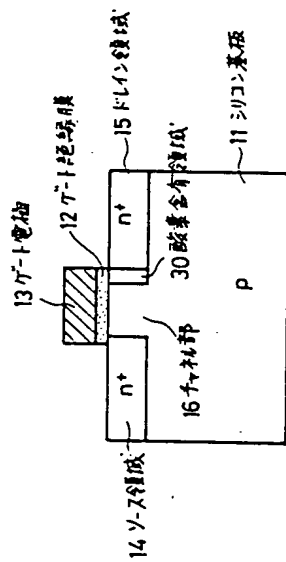
30は酸素含有領域(E_g の大きい領域)、

31はSiC領域(E_g の大きい領域)

を示している。

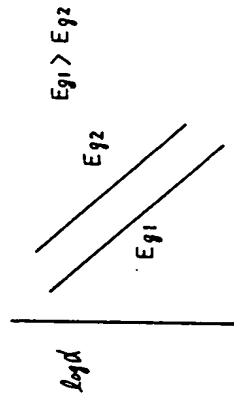
代理人 弁理士 井 桁 貞 一





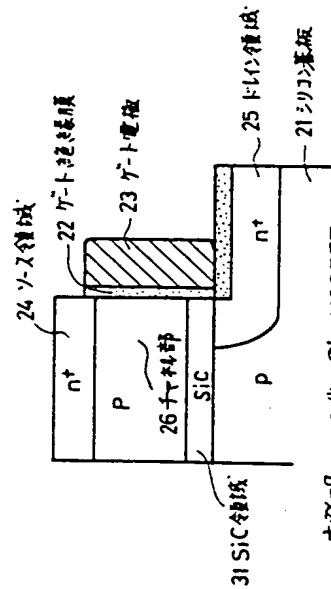
本発明にかかる構造の MOSFET

第 1 図



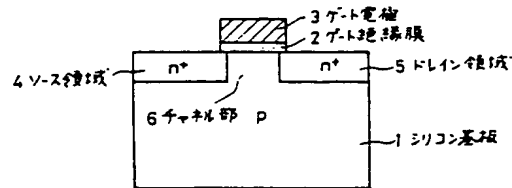
電子イオン化率の電場依存性を示す図

第 2 図



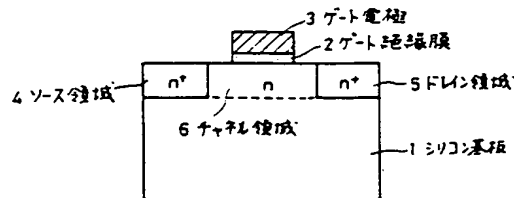
本発明にかかる他の例の MOSFET

第 3 図



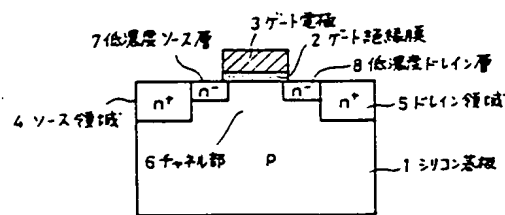
基本構造の MOSFET

第 4 図



オフセット構造の MOSFET

第 5 図



LDD 構造の MOSFET

第 6 図

第 1 頁の続き

⑫発 明 者 佐 藤 成 生 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内